



# Διεργασίες σε VHDL

---

# Περιγραφή Συμπεριφοράς

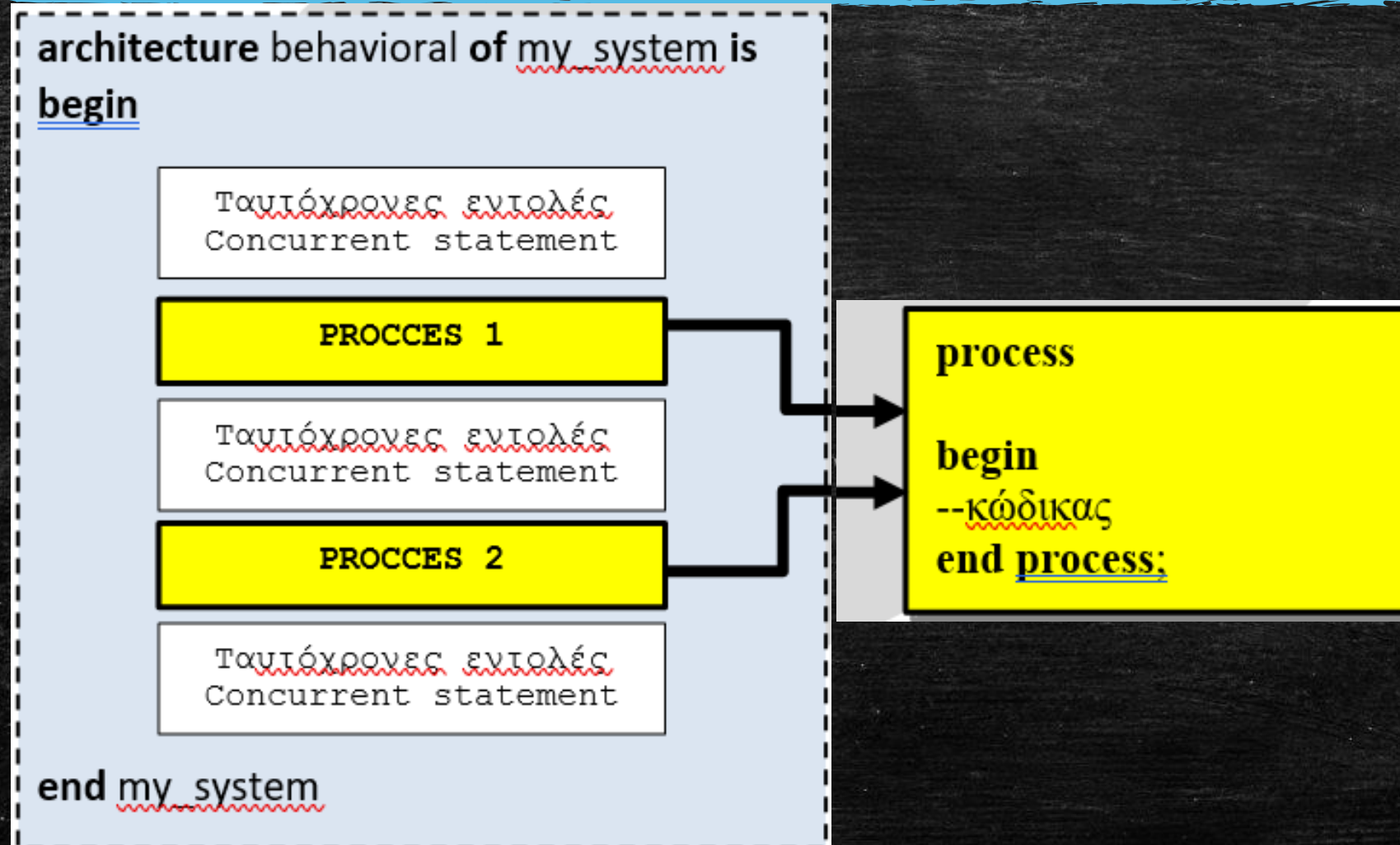
---

Η περιγραφή της αρχιτεκτονικής και της εν γένει λειτουργίας μιας οντότητας επιτυγχάνεται με τη χρήση αλγορίθμων.

Η παράλληλη εκτέλεση των εντολών επιτυγχάνεται απλά με τη συγγραφή των εντολών .

Η ακολουθιακή εκτέλεση των εντολών επιτυγχάνεται με τη χρήση εντολών if-then-else ή άλλων δομών επιλογής, που γράφονται σε μια διεργασία (process).

# Διεργασία (process) (1)



## Διεργασία (process) (2)

optional\_label: PROCESS (προαιρετική λίστα ευαισθησίας)

Δηλώσεις

BEGIN

Σειριακές αναθέσεις

END PROCESS optional\_label;



Η optional sensitivity list είναι μία λίστα σημάτων. Η αλλαγή τιμής ενός ή περισσότερων σημάτων τα οποία ορίζονται στη λίστα ενεργοποιεί τη δομή process.

## Διεργασία (process) (3)

```
library ieee;
use ieee.std_logic_1164.all;

entity my_system is
    port(
        A : in std_logic;
        B : in std_logic;
        C : in std_logic;
        Q : out std_logic
    );
end my_system;
architecture behavioral of my_system is

    signal tempSig : std_logic;
begin
    process(A, B, C) is
    begin
        tempSig <= A and B and C;
    end process;

    Q <= tempSig and C;

end behavioral;
```

# Εντολή If

| Εντολή    | Σύνταξη εντολής                                                                                                                                                                                              |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>IF</b> | <b>if</b> συνθήκη <b>then</b> απόδοση τιμής σε μεταβλητή;<br><u><b>elsif</b></u> συνθήκη <b>then</b> απόδοση τιμής σε μεταβλητή;<br>...<br>...<br><b>else</b> απόδοση τιμής σε μεταβλητή;<br><b>end if</b> ; |

# Παράδειγμα εντολής If

## Πολυπλέκτης 2x1 (MUX 2x1)

Ένας πολυπλέκτης 2x1 έχει τρεις εισόδους και μια έξοδο.

- Input1 : σήμα εισόδου 1
- Input2 : σήμα εισόδου 2
- Selection : σήμα επιλογής εισόδου

Αν το σήμα επιλογής είναι 0 στην έξοδο εμφανίζεται το σήμα της εισόδου 1, ενώ αν το σήμα επιλογής είναι 1 εμφανίζεται στην έξοδο το σήμα της εισόδου 2.

```

library ieee;
    use ieee.std logic 1164.all;

entity mux_2_X_1 is
    port (
        I1_input : in std_logic;
        I2_input : in std_logic;
        sel       : in std_logic;
        output    : out std_logic
    );
end entity;

architecture behavioral of mux_2_X_1 is
begin
    process(sel, I1_input, I2_input)
    begin
        if sel = '0' then
            output <= I1_input;
        else
            output <= I2_input;
        end if;
    end process;
end behavioral;

```

## Πολυπλέκτης 8x1 (1)

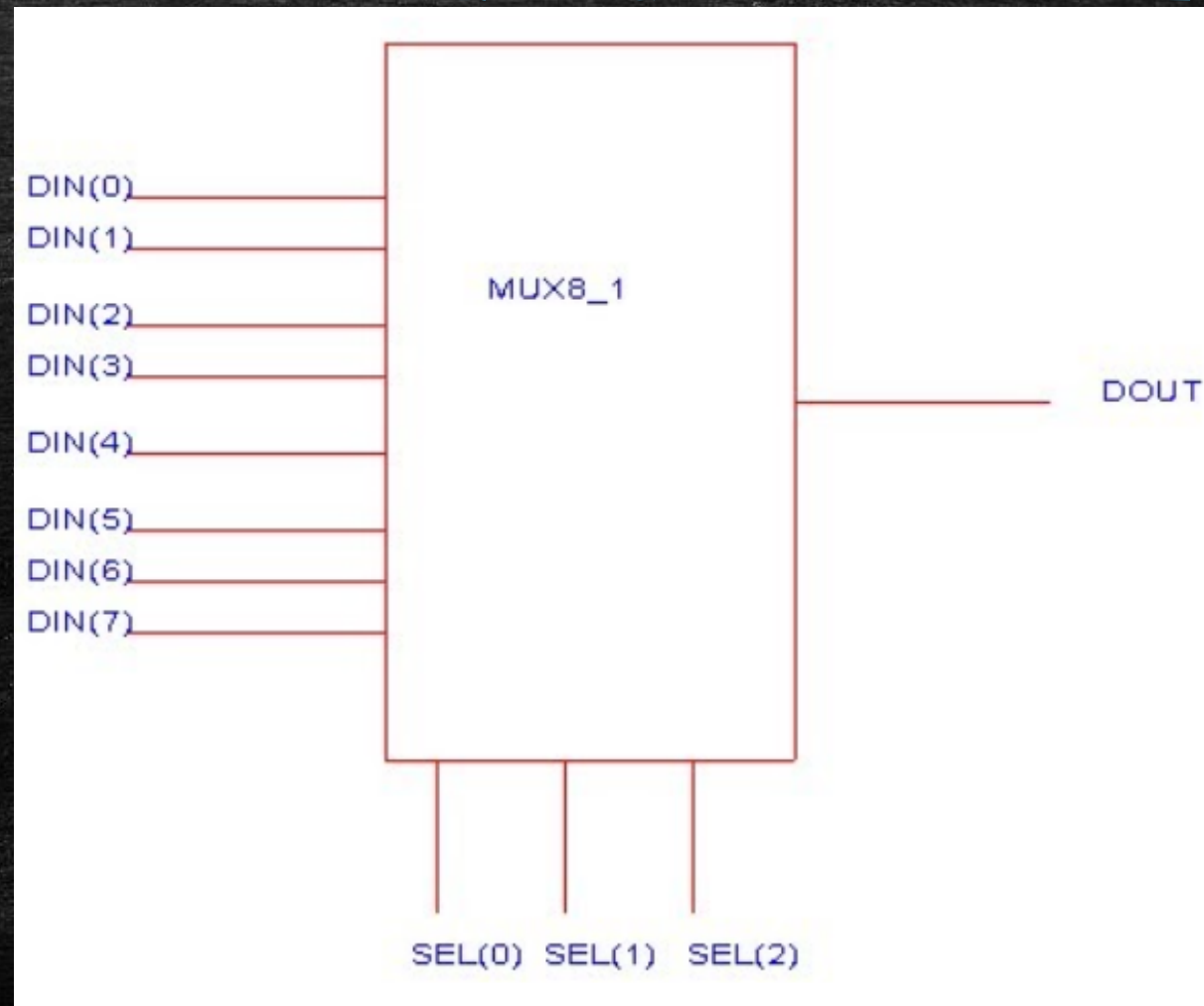
---

Ένας πολυπλέκτης 8x1 έχει:

- 8 σήματα εισόδου ( $\text{input}(0) - \text{input}(7)$ )
- 3 σήματα επιλογής
- 1 έξοδο

Στην έξοδο εμφανίζεται το σήμα της εισόδου που σχηματίζουν τα 3 σήματα επιλογής, για παράδειγμα αν τα σήματα επιλογής έχουν την τιμή 110 στην έξοδο θα εμφανιστεί το σήμα της 6<sup>ης</sup> εισόδου.

## Πολυπλέκτης 8x1 (2)



```

library ieee;
use ieee.std_logic_1164.all;

entity mux_8_to_1 is
    port (
        input : in std_logic_vector (7 downto 0);
        sel : in std_logic_vector (2 downto 0);
        output : out std_logic
    );
end mux_8_to_1;
-- architecture
architecture behavioral of mux 8 to 1 is
begin
    process (input,sel)
    begin
        if sel = "111" then output <= input(7);
        elsif sel = "110" then output <= input(6);
        elsif sel = "101" then output <= input(5);
        elsif sel = "100" then output <= input(4);
        elsif sel = "011" then output <= input(3);
        elsif sel = "010" then output <= input(2);
        elsif sel = "001" then output <= input(1);
        elsif sel = "000" then output <= input(0);
        else output <= '0';
        end if;
    end process;
end behavioral;

```

**Καλή συνέχεια...**