



Ημιαθροιστής

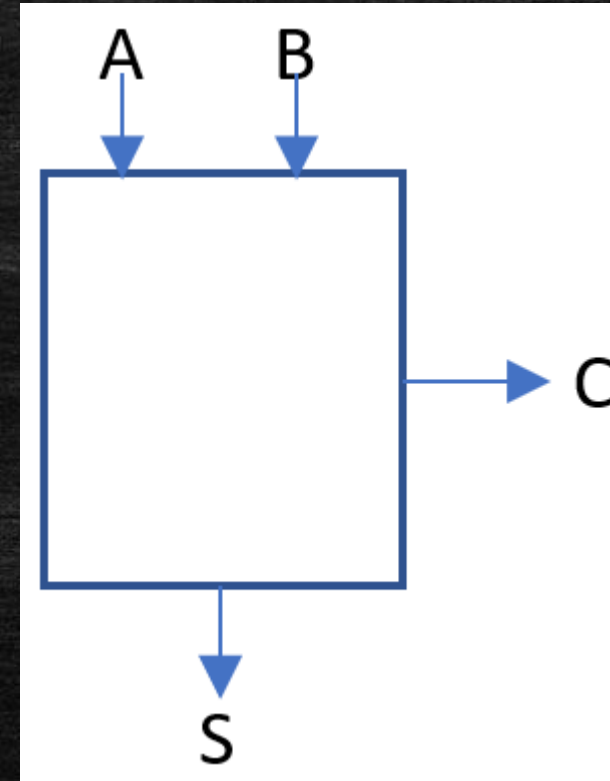
Πίνακας αλήθειας – εξισώσεις εξόδου

Πίνακας αλήθειας

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = A \text{ XOR } B$$

$$C = A \text{ AND } B$$



Κώδικας VHDL (1)

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
LIBRARY work;

ENTITY HalfAdder IS
PORT (A,B:in STD_LOGIC;
      S,C: out STD_LOGIC);
END HalfAdder;

ARCHITECTURE ArchHalfAdder OF HalfAdder IS
BEGIN
    S <= A XOR B;
    C <= A AND B;
END ArchHalfAdder;
```

Κώδικας VHDL (2)

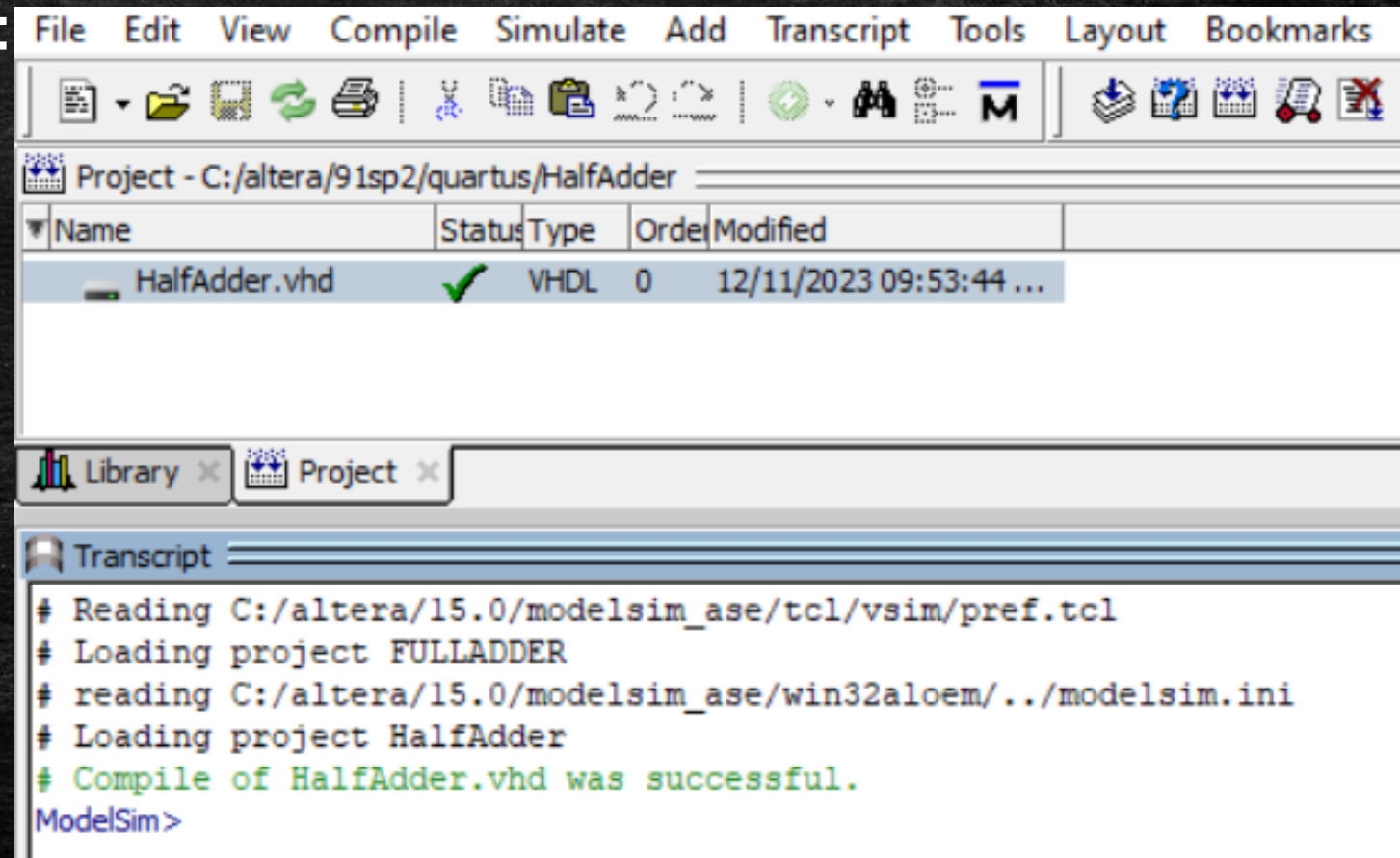
- Δημιουργήστε στο Quartus ένα νέο Project με όνομα HalfAdder
- Δημιουργήστε ένα αρχείο .vhd με όνομα HalfAdder και γράψτε τον κώδικα για την υλοποίηση του ημιαθροιστή (File -> New -> VHDL File)
- Αφού αποθηκεύσετε το αρχείο κάντε μεταγλώττιση (Processing -> Start Compilation)

Προσομοίωση στο ModelSim (1)

- Δημιουργήστε στο ModelSim ένα νέο Project με όνομα HalfAdder
- Στο Project που δημιουργήσατε προσθέστε (Add Existing File) το αρχείο HalfAdder.vhd που βρίσκεται στον φάκελο
C:/altera/91sp2/quartus/work/HalfAdder.vhd
- Στη συνέχεια επιλέξτε το αρχείο, ανοίξτε το menu Compile και επιλέξτε Compile all

Προσομοίωση στο ModelSim (2)

Αν δεν υπάρχουν μηνύματα σφαλμάτων θα σας εμφανιστεί η οθόνη:

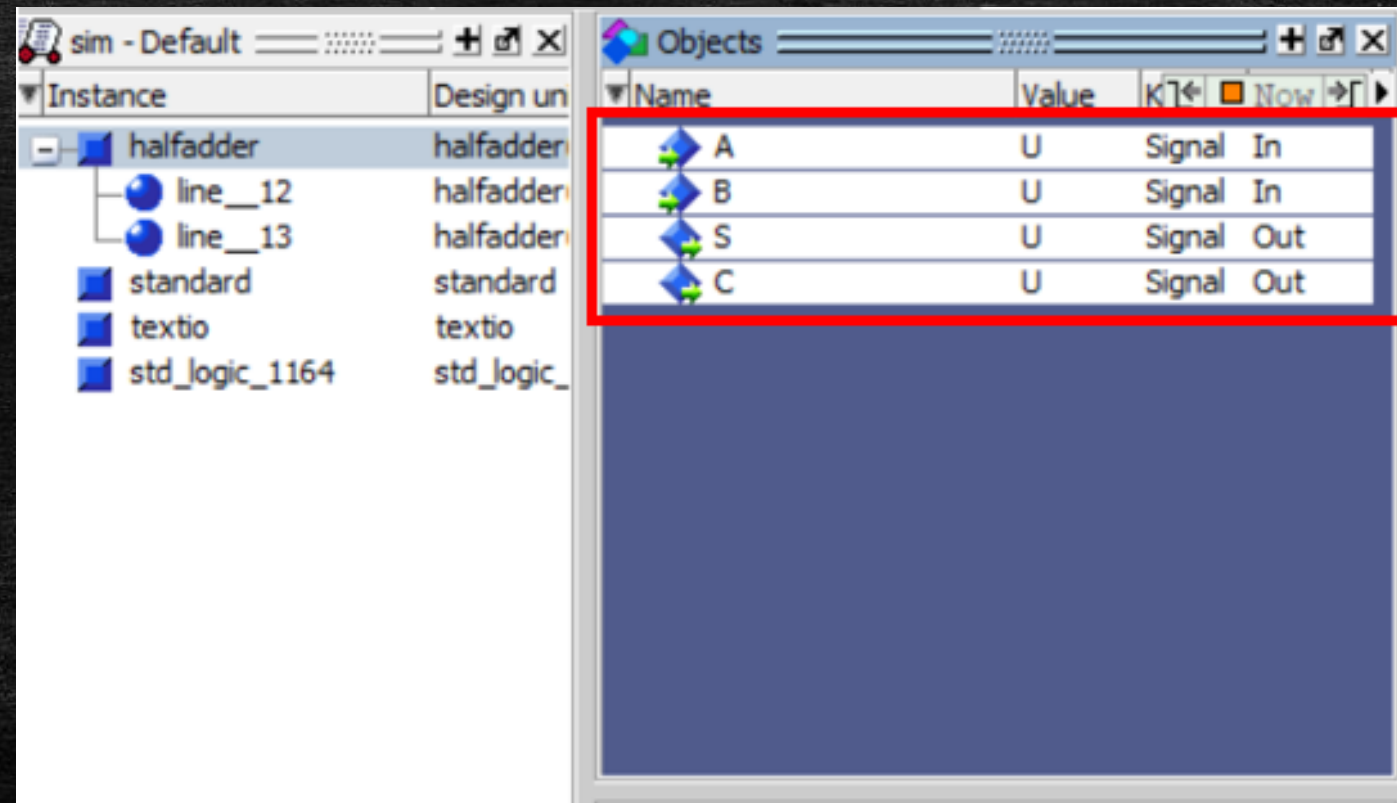


Προσομοίωση στο ModelSim (3)

- Επιλέξτε από το menu Simulate -> Start Simulation
- Στο νέο παράθυρο που εμφανίζεται, αναζητήστε το αρχείο HalfAdder στον φάκελο work
- Στη συνέχεια θα εμφανιστεί σε πλήρη οθόνη το περιβάλλον προσομοίωσης

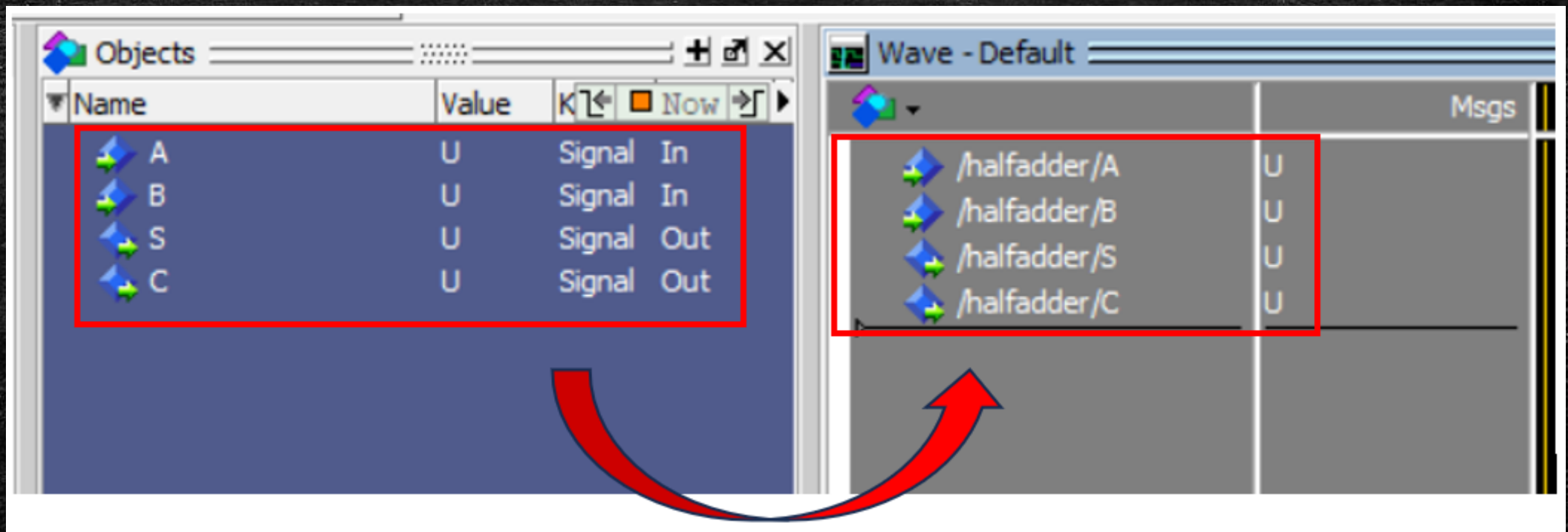
Προσομοίωση στο ModelSim (4)

Επιλέξτε τις εισόδους και τις εξόδους, και με δεξί κλικ επιλέξτε add wave



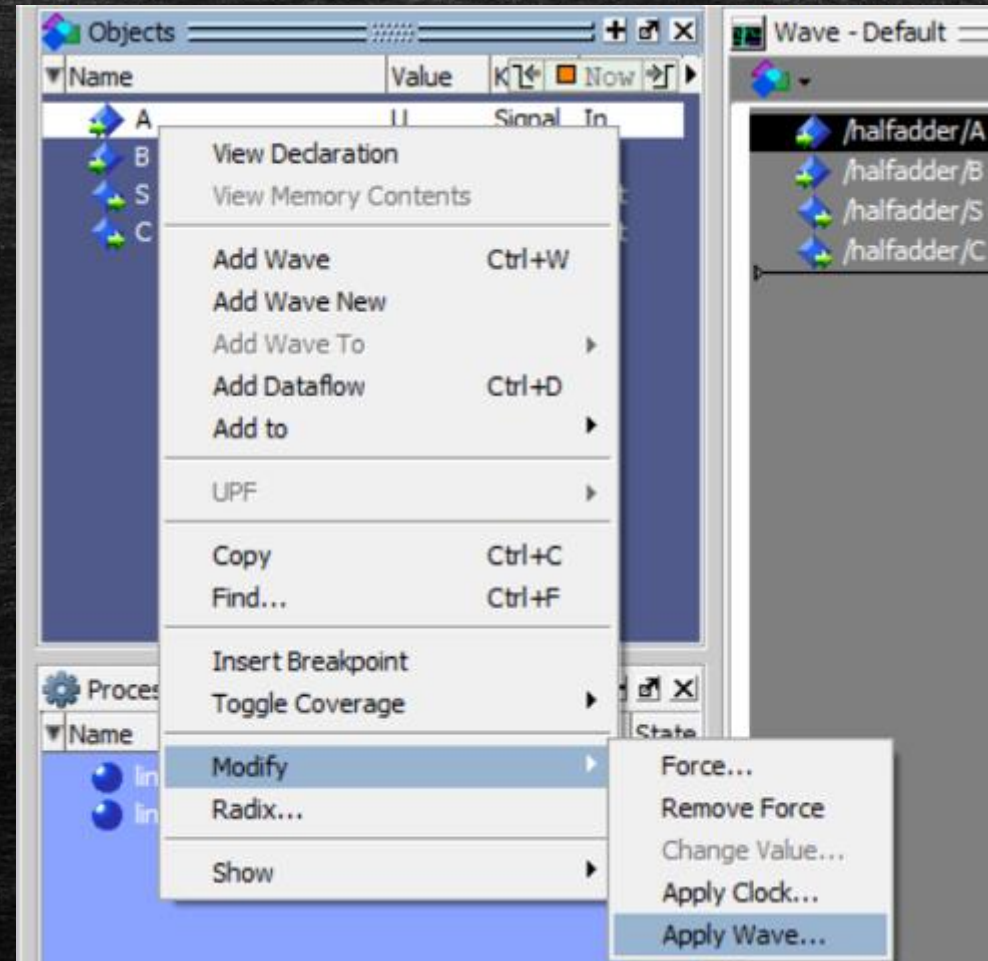
Προσομοίωση στο ModelSim (5)

Με αυτή την ενέργεια θα αντιγραφούν στο παράθυρο wave



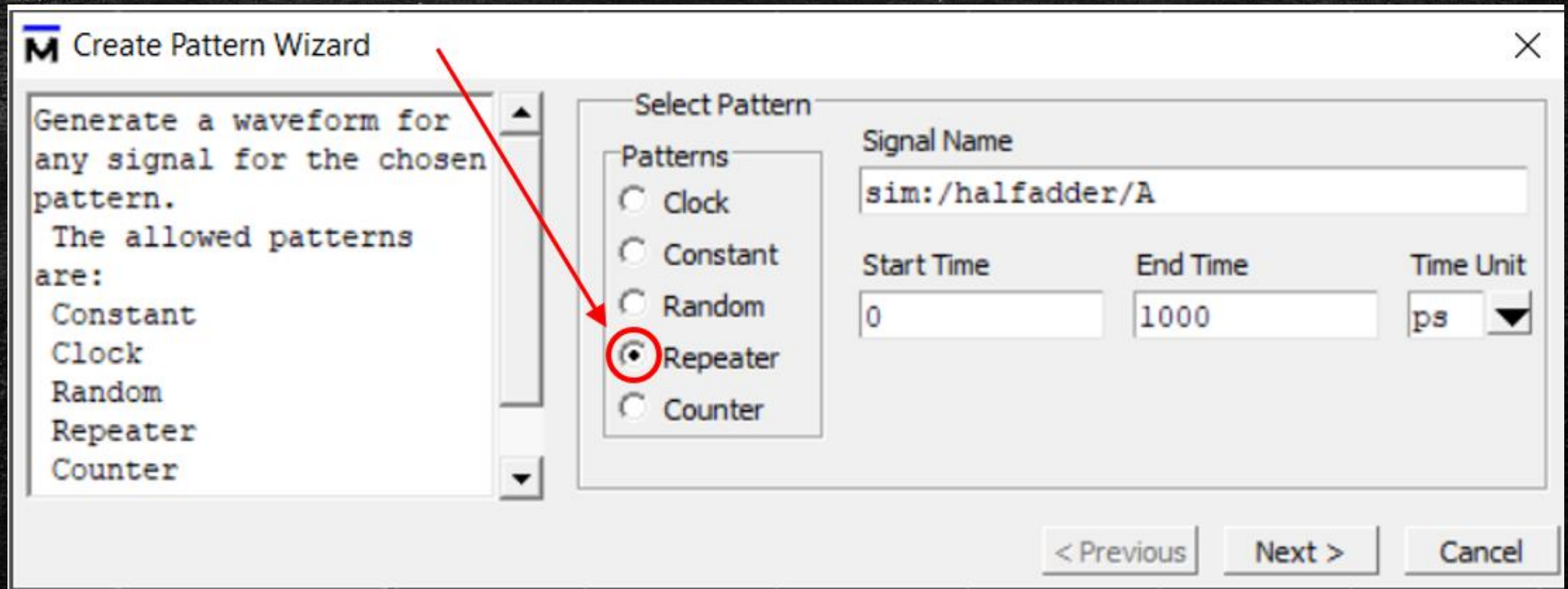
Προσομοίωση στο ModelSim (6)

Με δεξί κλικ πάνω στο σήμα A επιλέξτε διαδοχικά ότι φαίνεται στην εικόνα



Προσομοίωση στο ModelSim (7)

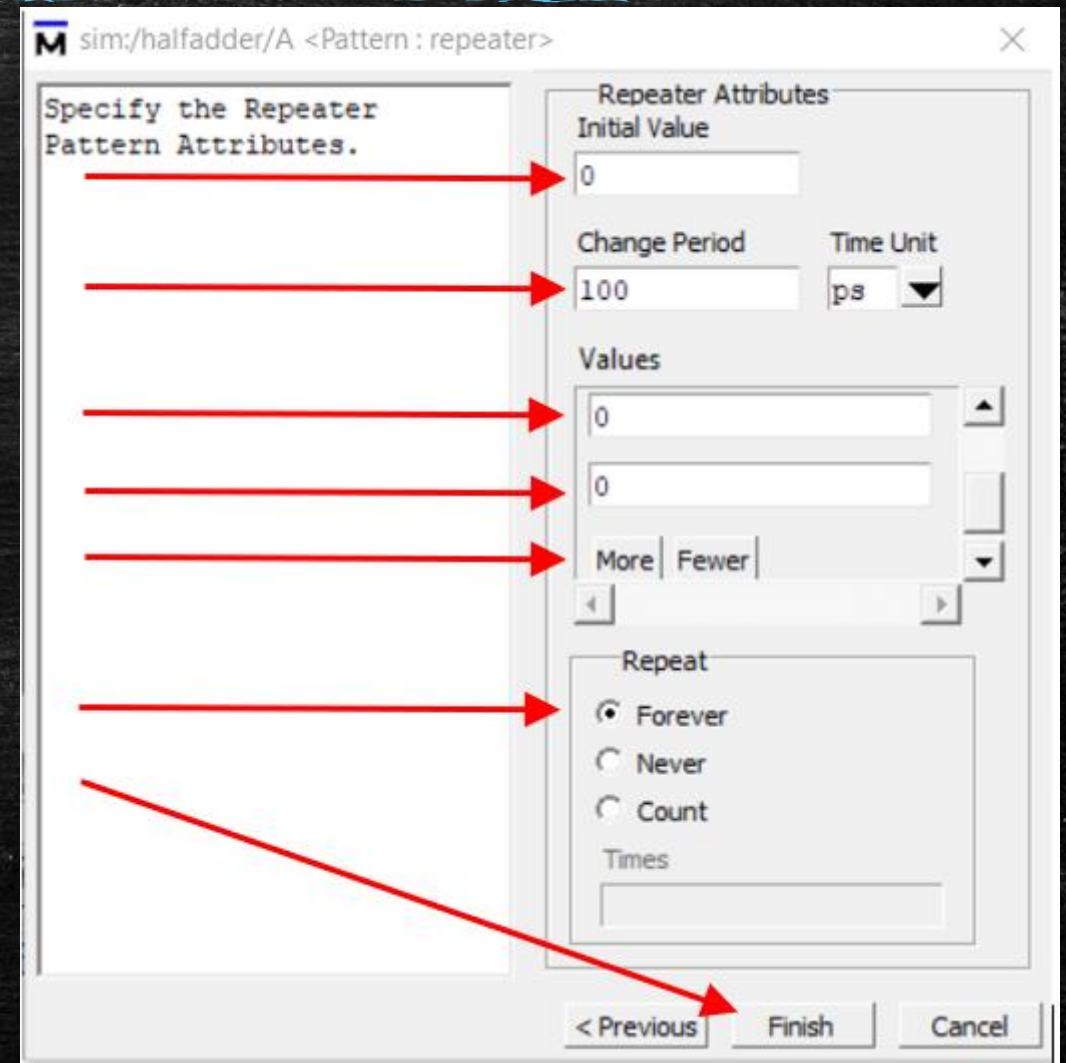
Στο παράθυρο που εμφανίζεται επιλέξτε Repeater και στη συνέχεια Next



Προσομοίωση στο ModelSim (8)

Στο νέο παράθυρο επιλέξτε:

- Initial Value: 0
- Change Period: 100
- Values: 0
More
0
1
1
- Repeat: Forever
- Finish



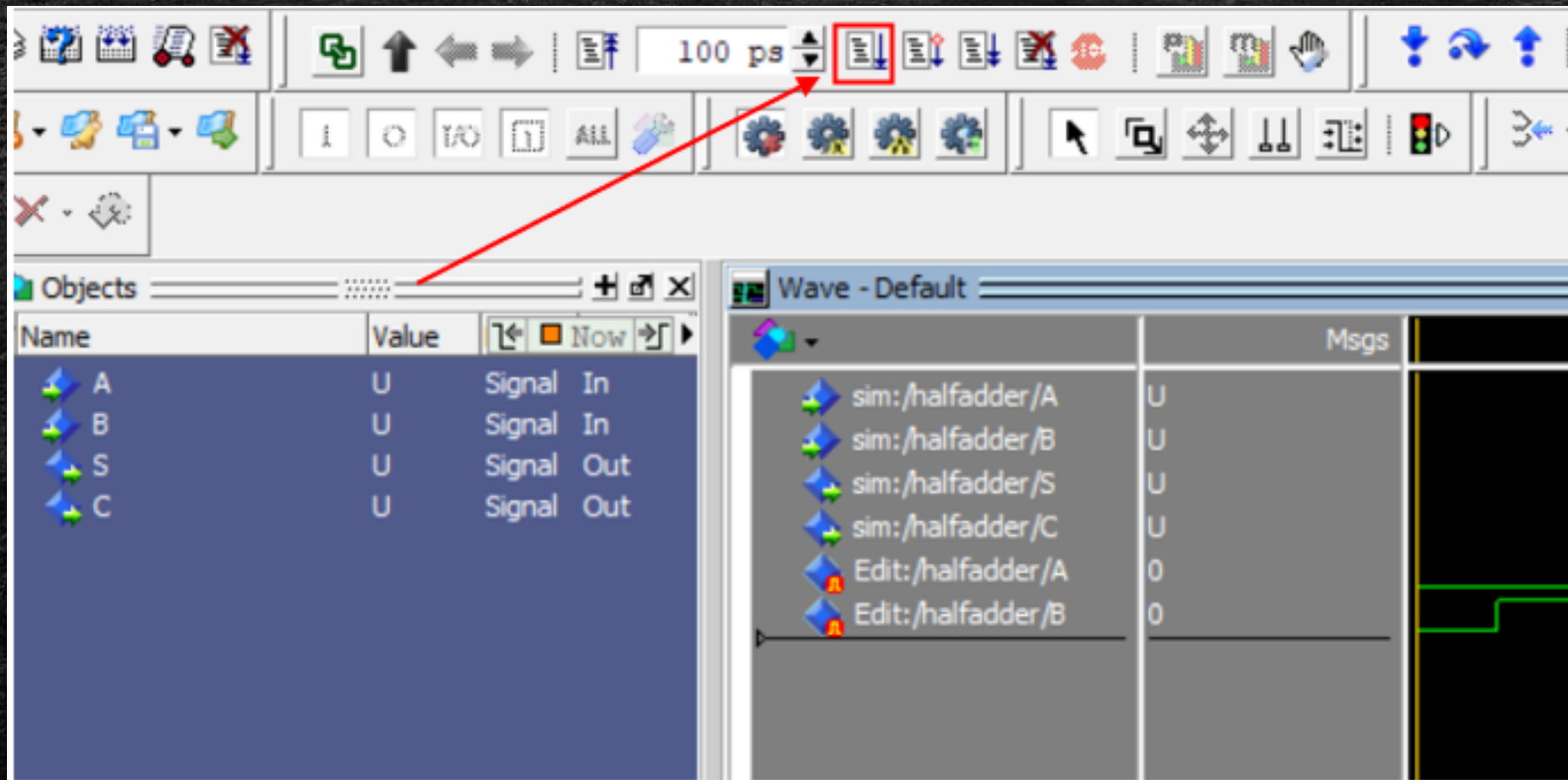
Προσομοίωση στο ModelSim (9)

Επαναλάβετε τα βήματα από το βήμα 6 για το σήμα B, βάζοντας τις τιμές

- Values: 0
More
1
0
1
- Repeat: Forever
- Finish

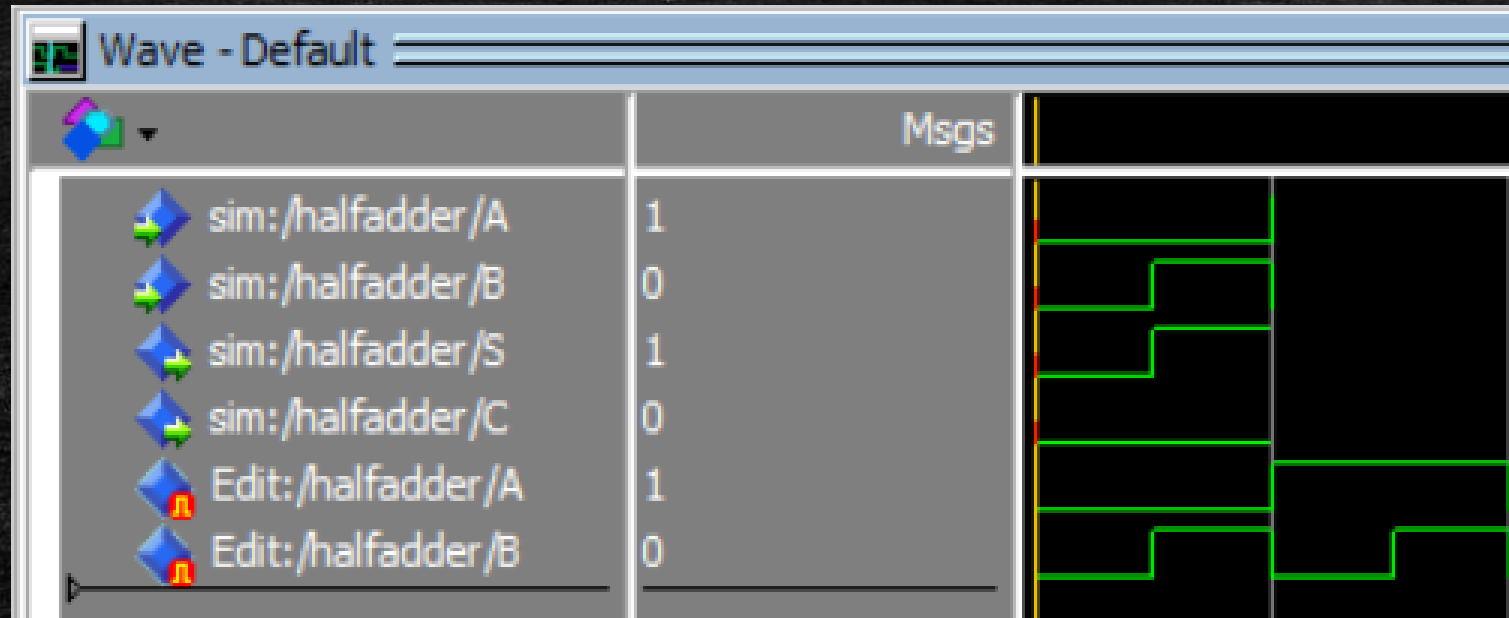
Προσομοίωση στο ModelSim (10)

Επιλέξτε την εκτέλεση των πρώτων 100ps



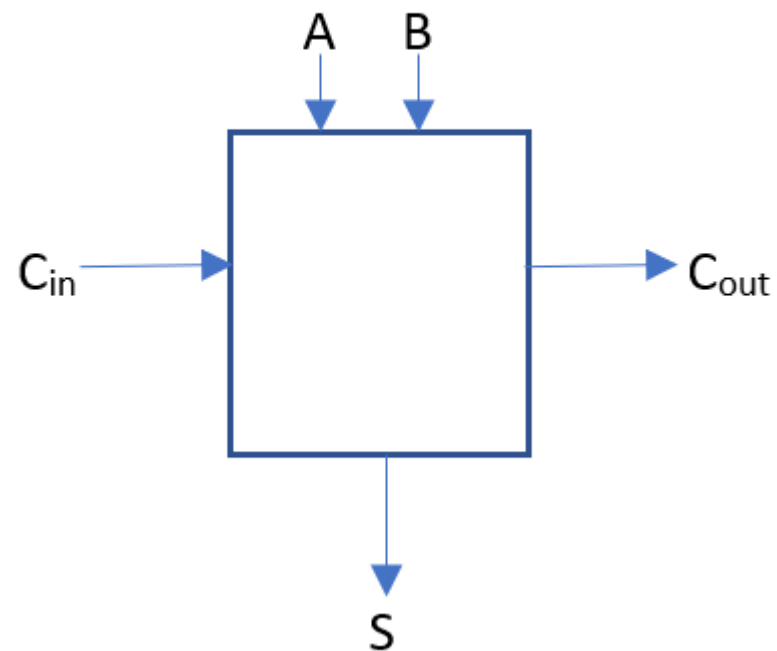
Προσομοίωση στο ModelSim (11)

Έπειτα επιλέξτε την εκτέλεση των άλλων 100ps και επαληθεύστε τις τιμές των σημάτων εξόδου.



Πλήρης Αθροιστής - πίνακας αλήθειας

C_{in}	A	B	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



Πλήρης Αθροιστής - εξισώσεις εξόδου

$C_{in} \backslash AB$	00	01	11	10
0		1		1
1	1		1	

S

$C_{in} \backslash AB$	00	01	11	10
0			1	
1		1	1	1

C_{out}

Με χρήση χαρτών Karnaugh προκύπτει:

$$S = \underline{C_{in}}'A'B + \underline{C_{in}}'AB' + \underline{C_{in}}A'B' + \underline{C_{in}}AB = C_{in}'(A \text{ XOR } B) + C_{in}(A \text{ XNOR } B) = A \text{ XOR } B \text{ XOR } C_{in}$$

$$C_{out} = A C_{in} + B C_{in} + AB$$

Πλήρης Αθροιστής - κώδικας VHDL

```
library ieee;
use ieee.std_logic_1164.all;
LIBRARY work;

ENTITY FullAdder IS
PORT (A, B, Cin: IN std_logic;
S, Cout: OUT std_logic);
END FullAdder;

ARCHITECTURE ArchFullAdder OF FullAdder IS
BEGIN
    Cout <= (A AND Cin) OR (A AND B) OR (B AND Cin);
    S <= A XOR B XOR Cin
END ArchFullAdder;
```

Καλή συνέχεια...