

## Compile and Execute Verilog Online

Παραθέτουμε 3 links για online compilers της Verilog

1. <https://www.jdoodle.com/execute-verilog-online/>
2. [https://www.tutorialspoint.com/compile\\_verilog\\_online.php](https://www.tutorialspoint.com/compile_verilog_online.php)
3. <https://www.edaplayground.com/>

Τα links των εργαλείων θα τα βρείτε και στη σελίδα του μαθήματος - Σύνδεσμοι - **Compile and Execute Verilog Online**.

Όταν ανοίξει η σελίδα, γράψτε το module σας.

(Στο 2<sup>ο</sup> link: Αγνοείτε το μήνυμα που σας λέει να μην αλλάξετε το όνομα του module. Βάλτε το όνομα που ζητάει η άσκησή σας.)

Έπειτα γράψτε από κάτω το module του test bench που επίσης σας ζητάει η άσκηση.

Όταν τελειώσετε πατήστε το κουμπί execute για να εκτελεστούν οι εντολές σας. Στο δεξί μέρος της οθόνης ή από κάτω, θα δείτε τα αποτελέσματα της εκτέλεσης. Θα πρέπει να μην έχετε κάποιο error ή warning.

Το εργαλείο δεν υποστηρίζει waves των εξόδων, οπότε πρέπει στο test bench που θα φτιάξετε να βάλετε την εντολή \$monitor ώστε να μας δώσει ως έξοδο τις μεταβολές και τους συσχετισμούς των εισόδων εξόδων.

π.χ. Αν έχουμε δύο εισόδους a, b και μία έξοδο out μπορούμε να γράψουμε το εξής (στο test bench) :

```
initial begin
    $monitor ("a = %b, b = %b, out = %b",a, b, out);
end
```

Με αυτόν τον τρόπο κάθε φορά που θα μεταβάλλεται κάποια από τις τρεις αυτές μεταβλητές θα βλέπουμε στην έξοδο το σχετικό μήνυμα.