

ECE119 – Ψηφιακή Σχεδίαση

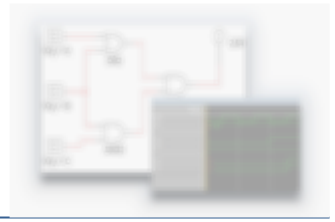
Διδάσκοντες Εργαστηρίου: Δ. Καραμπερόπουλος
Α. Φεύγας

- Lab 2: Icarus Verilog

Icarus Verilog



Icarus Verilog



- Εργαλείο **ανοικτού κώδικα** για την σύνθεση (**synthesis**) και τη λογική προσομοίωση (**simulation**) κυκλωμάτων.
- Λειτουργεί και ως μεταγλωττιστής (**compiler**) για κώδικα περιγραφής υλικού (HDL) γραμμένο σε **Verilog.**
- Αρχικά αναπτύχθηκε για το λειτουργικό σύστημα **Linux**, αλλά υπάρχει διαθέσιμος και για άλλα λειτουργικά συστήματα.
- Ιστοσελίδα: https://steveicarus.github.io/iverilog/

Εγκατάσταση σε MS-Windows

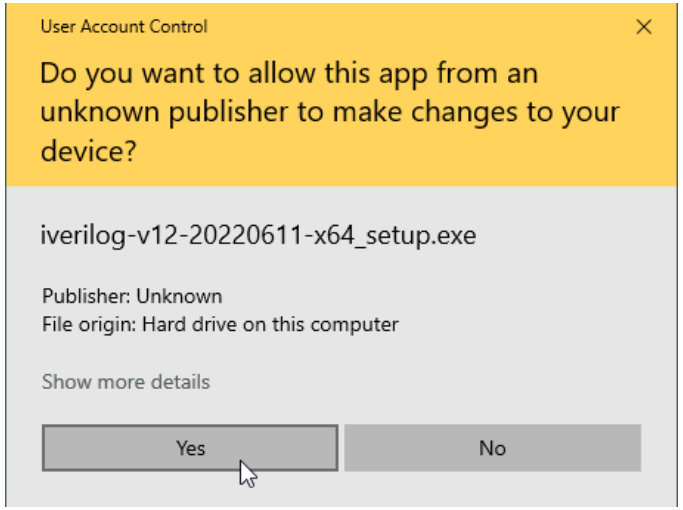


- Λήψη λογισμικού από https://bleyer.org/icarus/ (όλες οι εκδόσεις)

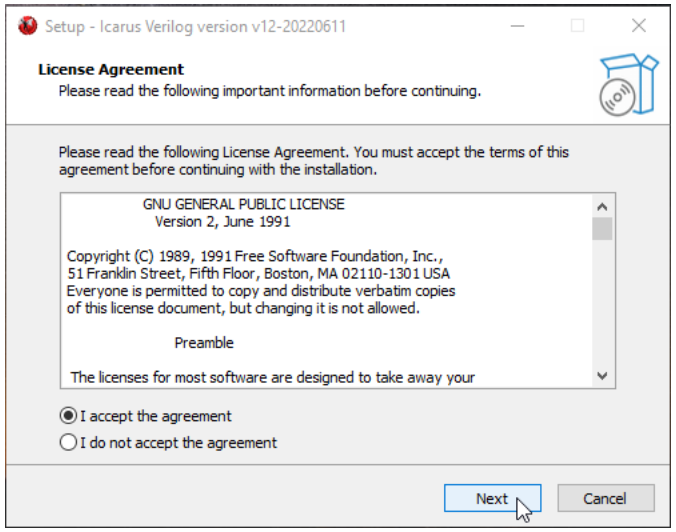
- Η τελευταία έκδοση είναι εδώ:
- https://bleyer.org/icarus/iverilog-v12-20220611-x64_setup.exe (18.2MB)

Εγκατάσταση σε MS-Windows

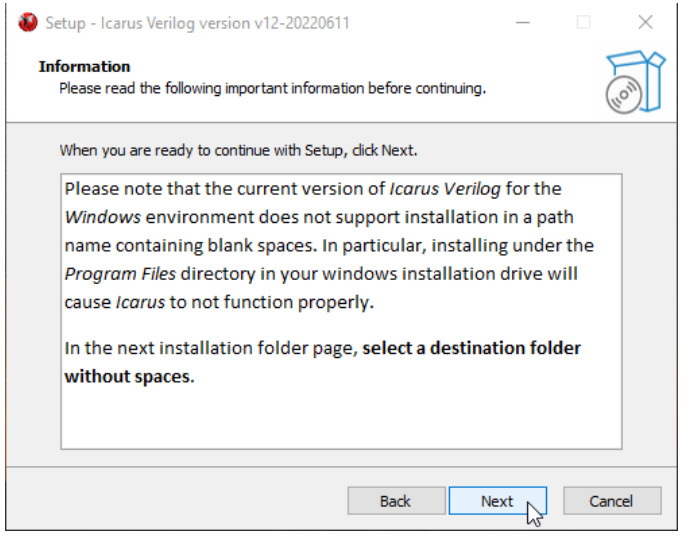
1



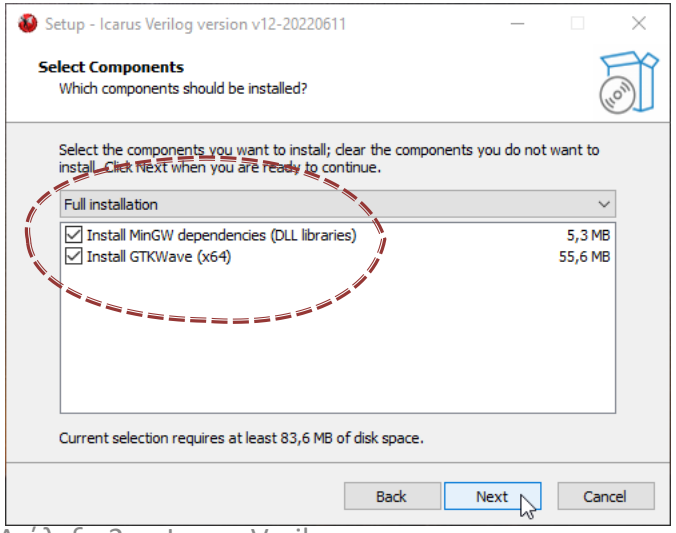
2



3

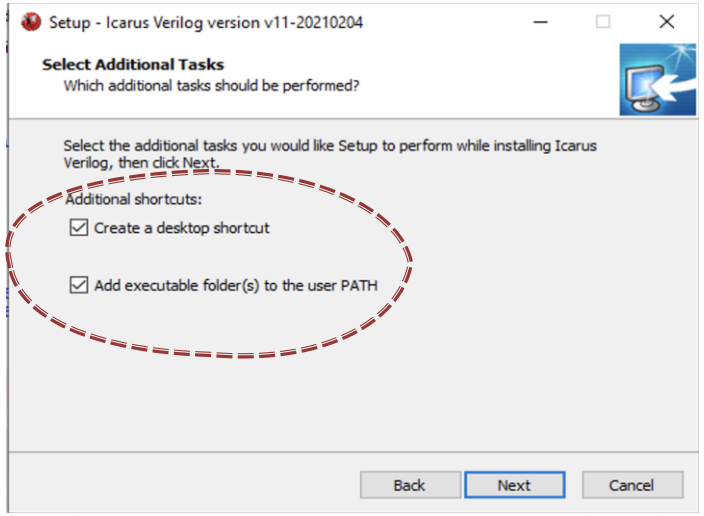


4

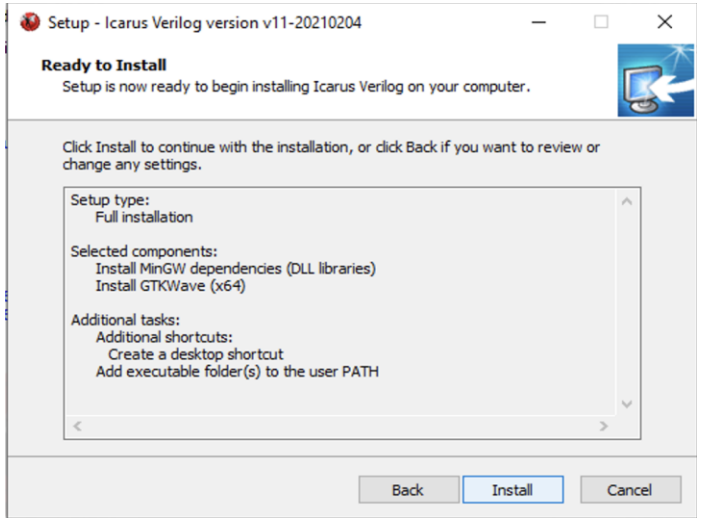


Εγκατάσταση σε MS-Windows

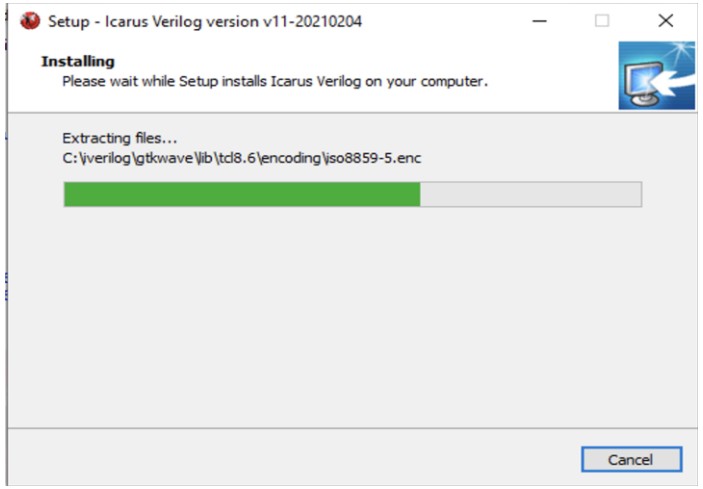
5



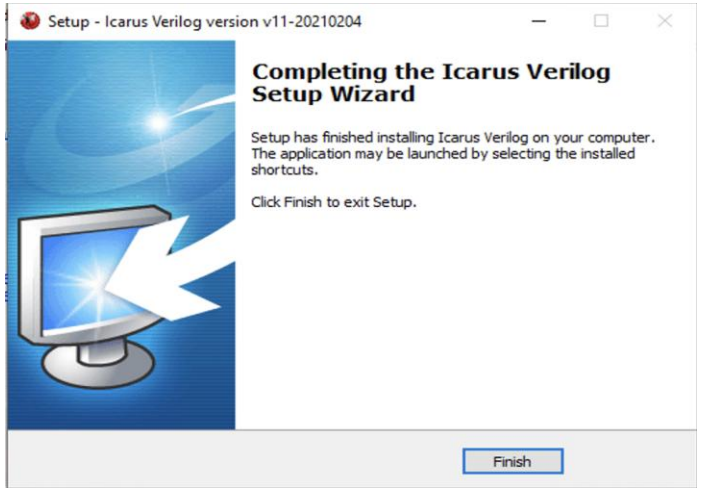
6



7

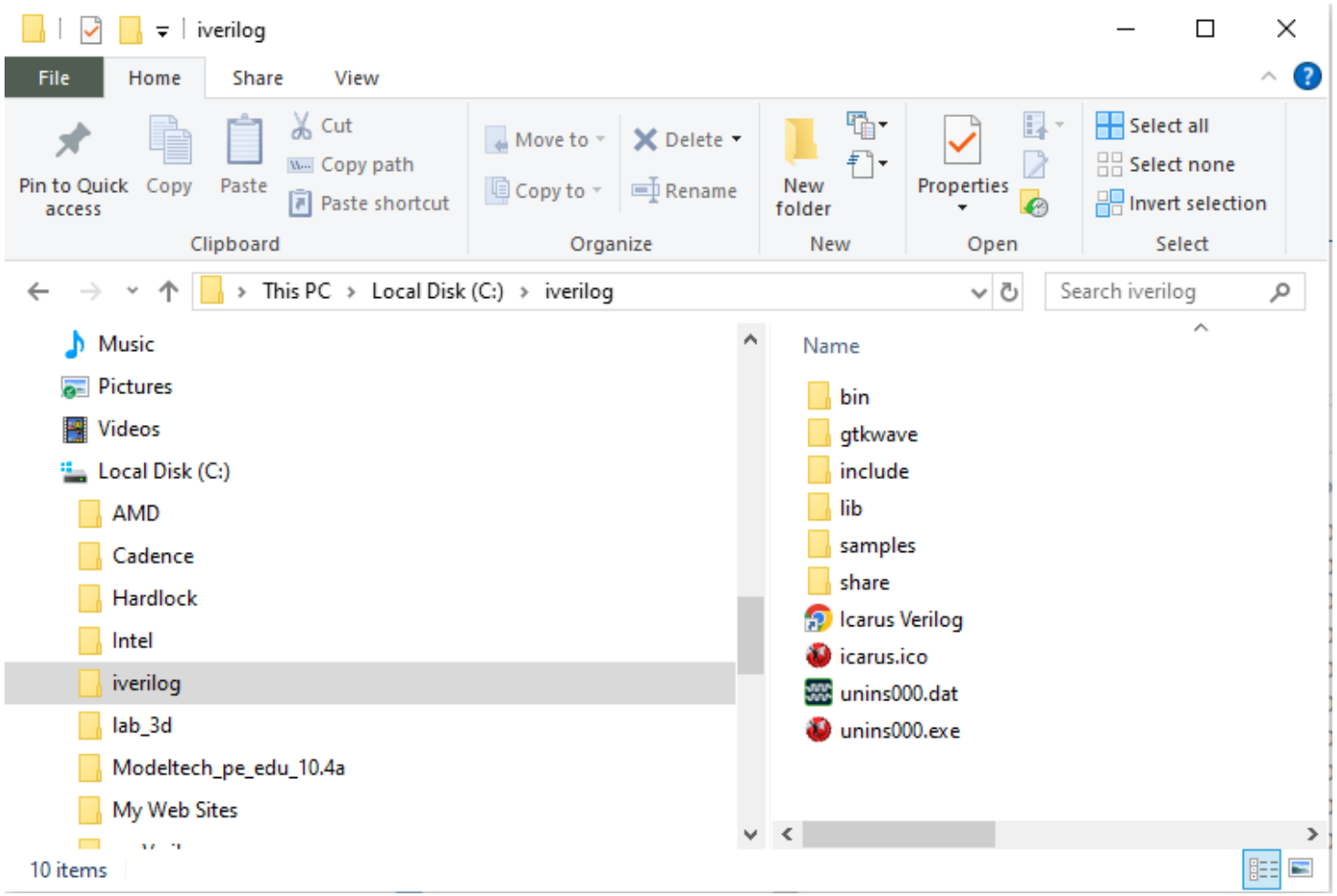


8

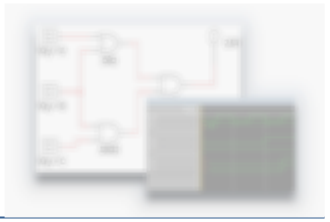


Εγκατάσταση σε MS-Windows

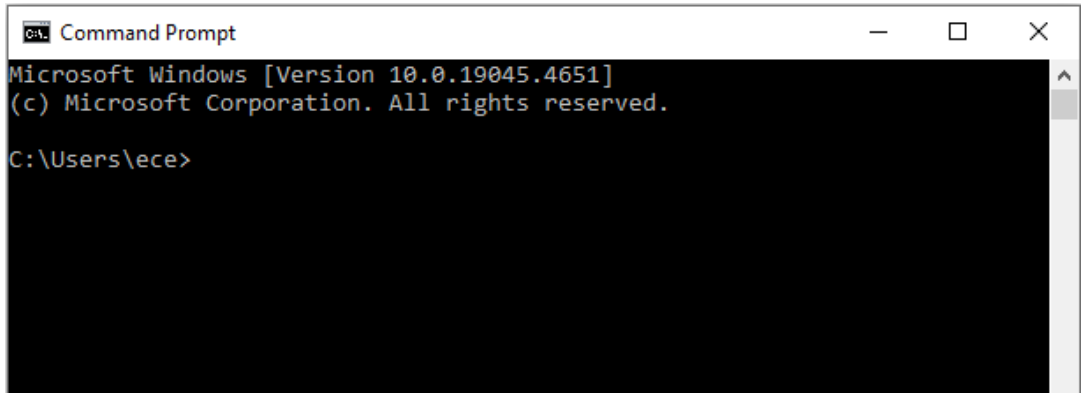
- Το λογισμικό εγκαθίσταται στο φάκελο c:\iverilog



Μετά την εγκατάσταση

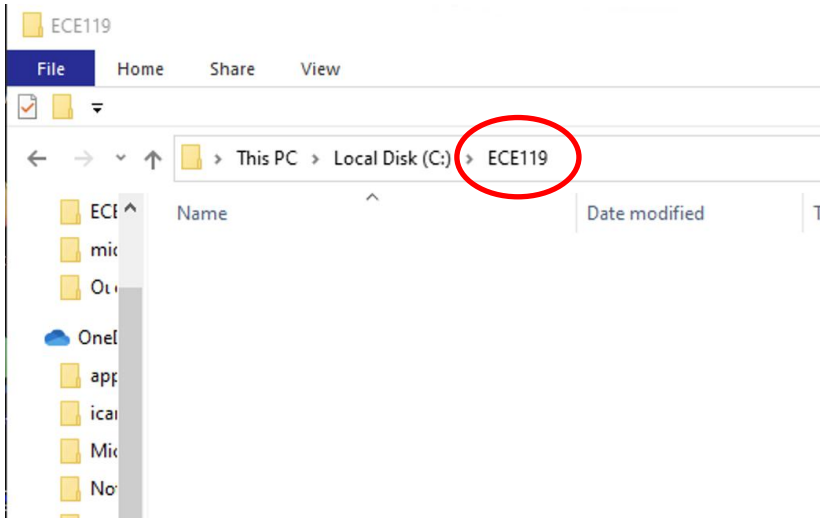


- Το icarus είναι **command-line tool**
- Το χρησιμοποιούμε από το **Command Window** (στα Windows) ή το τερματικό στο Linux.
- Η εντολή που χρειάζεστε για να **μεταφράσετε** (**compile**) τον κώδικα που έχετε γράψει σε verilog είναι η "**iverilog**".
- Η εντολή που χρειάζεστε για να "**τρέξετε**" (**run**) τον κώδικα verilog είναι η "**vvp**".

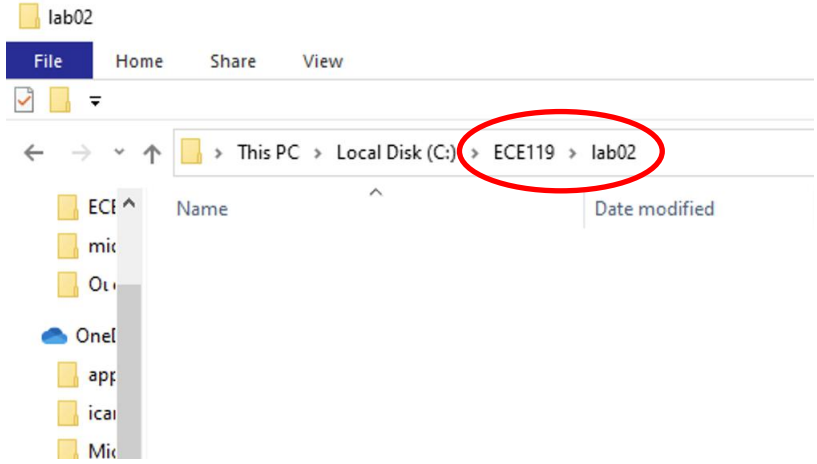


Φάκελος Εργασίας

- Μια καλή πρακτική για την διαχείριση των αρχείων (π.χ. Multisim, Verilog) του μαθήματος είναι να δημιουργήσετε ένα φάκελο για το μάθημα, π.χ. **`C:\ECE119`**



- Και ένα υποφάκελο για κάθε εβδομαδιαίο εργαστήριο,
π.χ. **`C:\ECE119\lab01`**

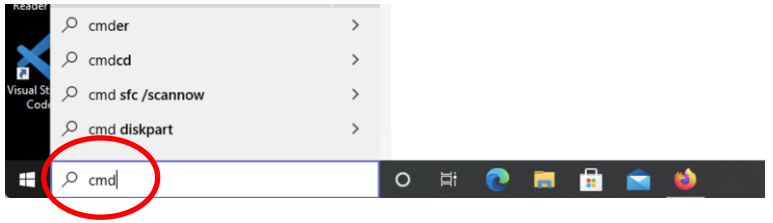


- Στο εργαστήριο αντί για "**C:**" χρησιμοποιήστε το "**S:**"

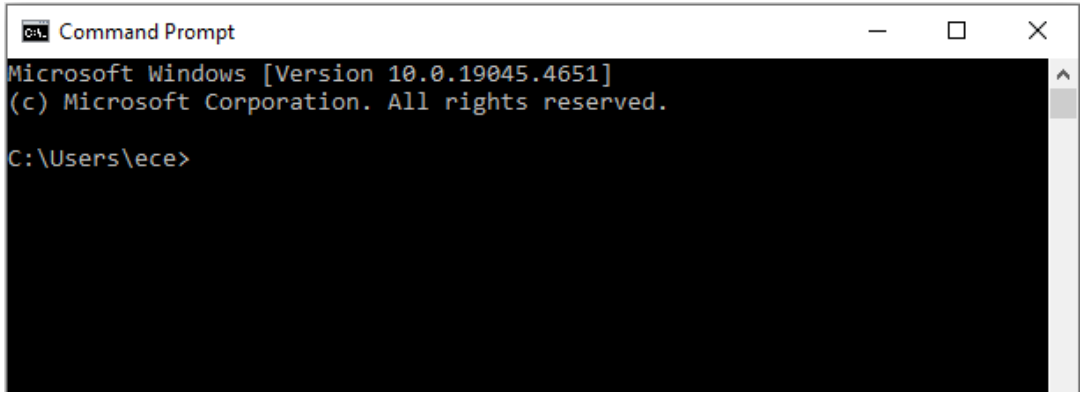
Command Window – Παράθυρο εντολών

- Για να ανοίξουμε ένα **Command Window** πληκτρολογούμε **cmd** στην γραμμή αναζήτησης.



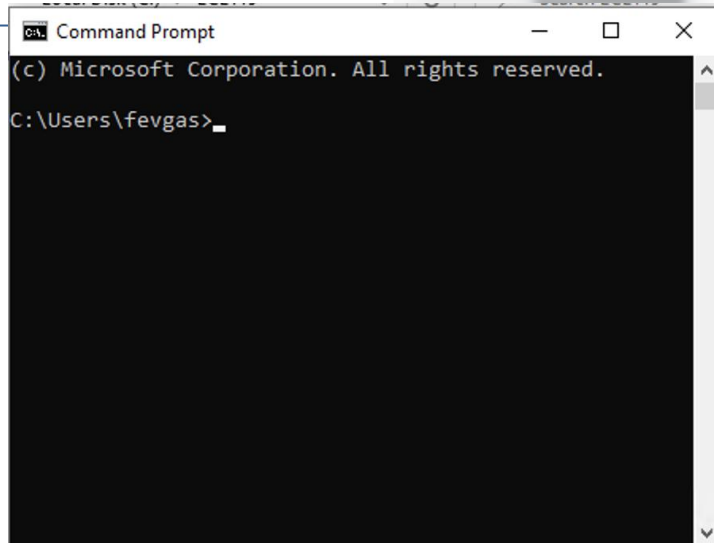


- Εντολές στο command window
  - dir – εμφανίζει τα περιεχόμενα ενός καταλόγου (αντίστοιχη της ls στο Linux)
  - cd – αλλαγή καταλόγου
  - copy – αντιγραφή αρχείου (αντίστοιχη της cp στο Linux)

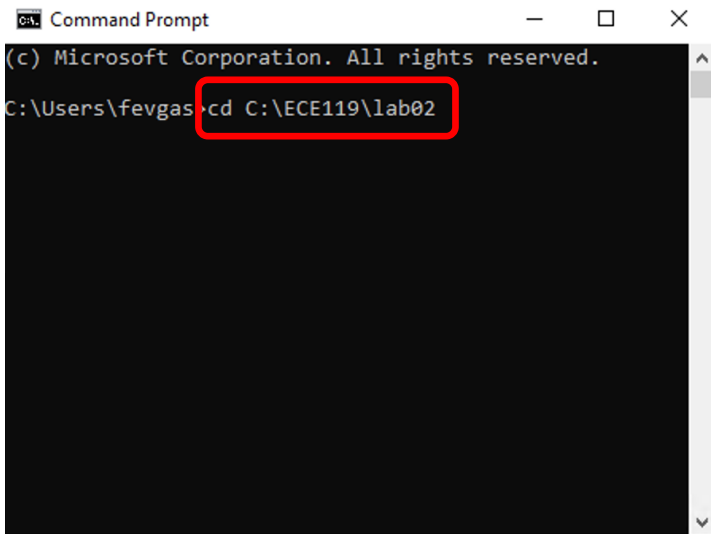


Command Window – Παράδειγμα χρήσης

- Ανοίγουμε ένα **Command Window.**



- Μεταφερόμαστε στον φάκελο **C:\ECE119\lab02** δίνοντας στο **Command Window** τις εντολές
  - `C:`
  - `cd C:\ECE119\lab02`



- Στο εργαστήριο αντί για “**C:**” χρησιμοποιήστε το “**S:**”

Παράδειγμα Verilog - Μεταγλώττιση

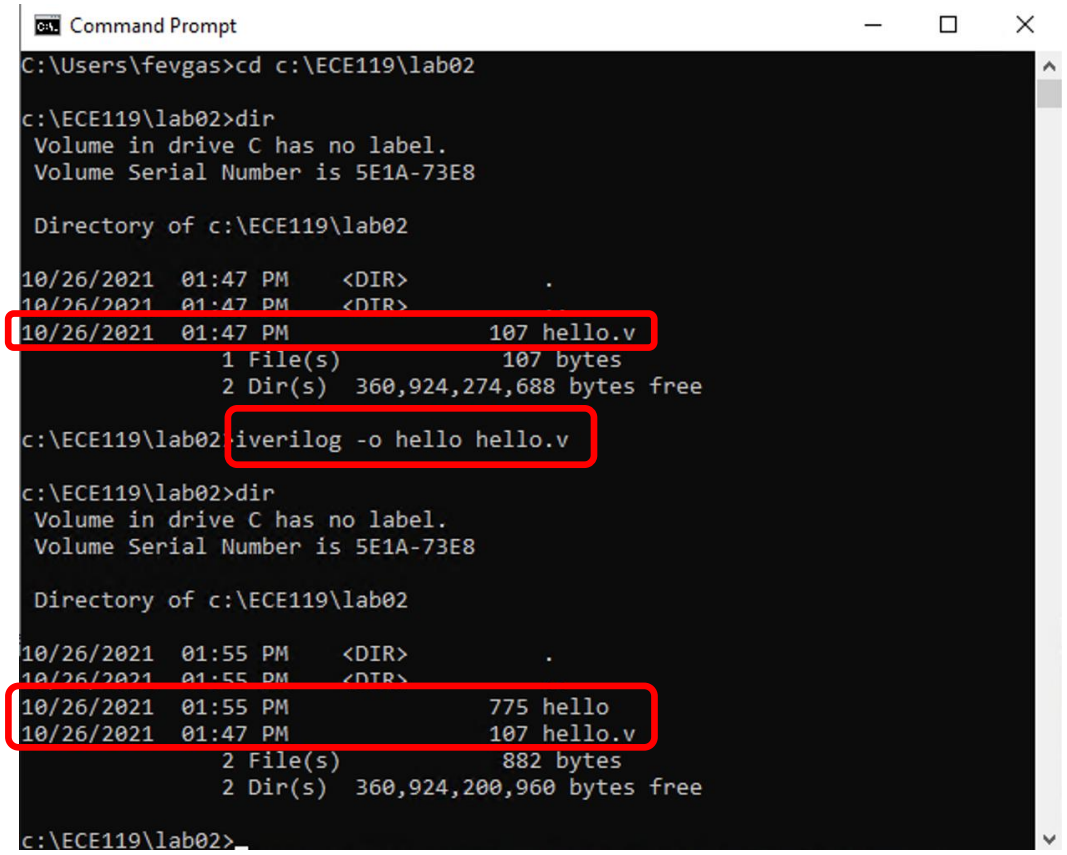
- Μεταγλώττιση (**compile**) κώδικα Verilog

```
module main;
  initial
    begin
      $display("Hello, World");
      $finish ;
    end
endmodule
```

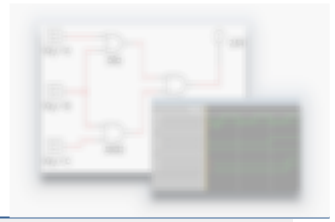
```
>iverilog -o hello hello.v
```

Εκτελέσιμο αρχείο που θα δημιουργηθεί

Αρχείο κώδικα Verilog το οποίο θέλουμε να μεταγλωττίσουμε



Μεταγλώττιση – Σφάλματα (1/2)



- Εάν κατά την μεταγλώττιση ο compiler δεν σας βγάλει κάποιο μήνυμα τότε πιθανότατα (όχι όμως σίγουρα) δεν έχετε κάποιο συντακτικό σφάλμα.

hello.v

```
1  module main;
2    initial
3      begin
4        $display("Hello, World");
5        $finish ;
6      end
7  endmodule
```

```
c:\ECE119\Lab2>iverilog -o hello hello.v

c:\ECE119\Lab2>
```

- Εάν κατά την μεταγλώττιση ο compiler εντοπίσει κάποιο συντακτικό σφάλμα θα σας βγάλει κάποιο σχετικό μήνυμα αναφέροντας και την γραμμή που το εντόπισε.

hello.v

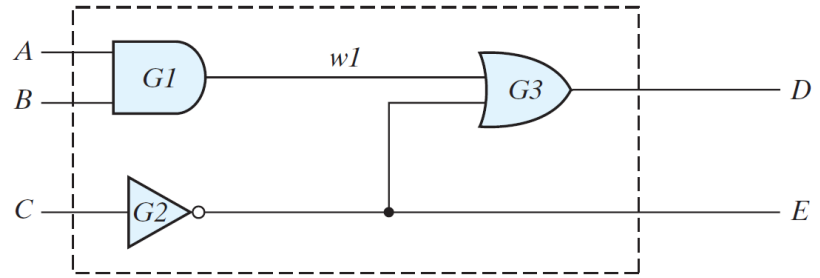
```
1  module main;
2    initial
3      begin
4        display("Hello, World");
5        $finish ;
6      end
7  endmodule
```

```
c:\ECE119\Lab2>iverilog -o hello hello.v
hello.v:4: error: Enable of unknown task ``display''.
1 error(s) during elaboration.

c:\ECE119\Lab2>
```

Μεταγλώττιση – Σφάλματα (2/2)

- Υπάρχει και η περίπτωση το σφάλμα να αναφερθεί σε άλλη γραμμή από αυτή που πραγματικά βρίσκεται, διότι εκεί το εντοπίζει!
- Σε κάθε περίπτωση ο μεταγλωττιστής ανιχνεύει μόνο **συντακτικά** σφάλματα. Τα **λογικά** σφάλματα φυσικά δεν μπορεί να τα αναγνωρίσει.



hello.v

```
1  module main;
2    initial
3      begin
4        $display("Hello, World");
5        $finish
6      end
7  endmodule
```

```
c:\ECE119\Lab2>iverilog -o hello hello.v
hello.v:6: syntax error
I give up.

c:\ECE119\Lab2>
```

simple_circuit.v

```
1  module simple_circuit (A, B, C, D, E);
2  output  D, E;
3  input   A, B, C;
4  wire    w1;
5
6  and     (w1, A, B);
7  not     (E, C);
8  or      (D, w1, C);
9  endmodule
```

```
c:\ECE119\Lab2>iverilog -o test simple_circuit.v

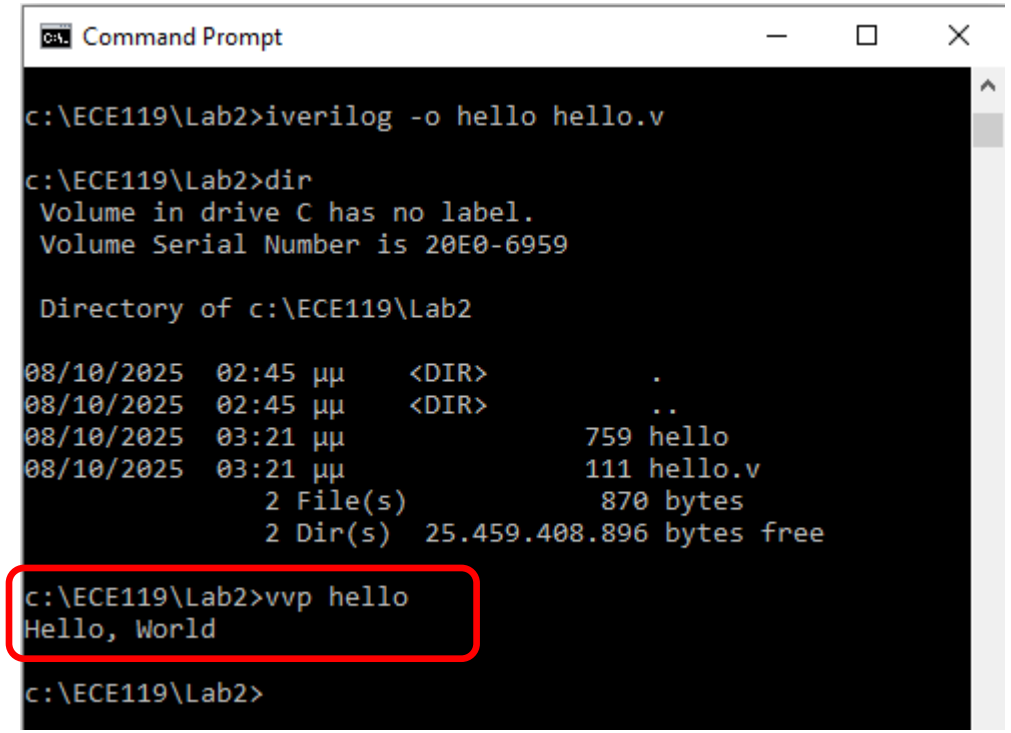
c:\ECE119\Lab2>
```

Παράδειγμα Verilog - Εκτέλεση

- Η εκτέλεση του μεταγλωττισμένου κώδικα Verilog γίνεται με την εντολή **vvp** (run time engine)

```
>vvp hello
```

Εκτελέσιμο αρχείο που δημιουργήθηκε στην μεταγλώττιση



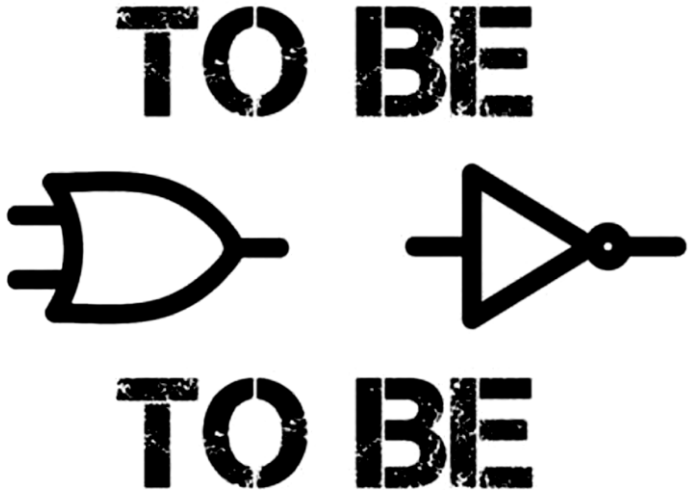
Προσομοίωση κυκλώματος



- Αφού περιγράψουμε ένα κύκλωμα σε κάποια γλώσσα HDL (Verilog), θα πρέπει να **προσομοιώσουμε** την λειτουργία του.
- Για να θέσουμε σε λειτουργία το κύκλωμα που έχουμε περιγράψει χρησιμοποιούμε προγράμματα γραμμένα και αυτά σε HDL (Verilog), που ονομάζονται **μονάδες δοκιμής** (**test benches**).
- Οι μονάδες δοκιμής θα μας απασχολήσουν στο επόμενο εργαστήριο.

Ευχαριστώ για την προσοχή σας!

- **Ερωτήσεις / Απορίες ;**



Επικοινωνία: ece119.uth@gmail.com